

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-130420

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 4 N 1/41		B 8839-5C		
G 0 6 F 15/66	3 3 0	D 8420-5L		
H 0 4 N 7/137		A 4228-5C		

審査請求 未請求 請求項の数1(全11頁)

(21)出願番号 特願平3-291714

(22)出願日 平成3年(1991)11月7日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 青木 昭夫

東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

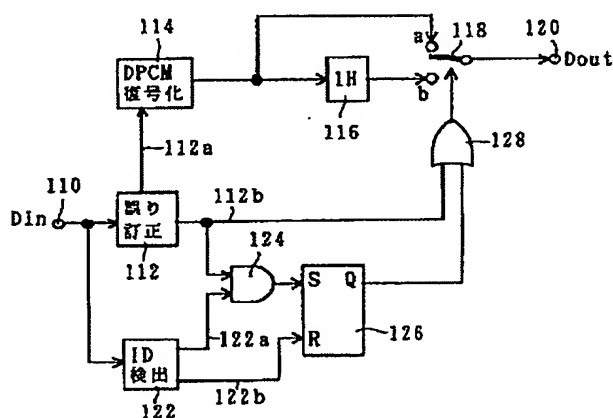
(74)代理人 弁理士 田中 常雄

(54)【発明の名称】 復号化装置

(57)【要約】

【目的】 訂正不能誤りを最小限度マスクする。

【構成】 入力端子110には、1ラインの画像データを2つの同期ブロックに振り分けて形成したDPCM符号化コード及び誤り訂正符号が入力する。誤り訂正回路112は誤り訂正したDPCM符号化コード112aを出力し、訂正不能誤りの属する同期ブロックにエラー・フラグ112bを出力する。DPCM復号化回路114はDPCM符号化コード112aを復号する。ID検出回路122はラインの前半の同期ブロックの始まりを示すODDパルス122aと、ラインの最終データ位置を示すRESETパルス122bを出力する。ラインの前半で訂正不能誤りが発生すると、回路124、126、128により、そのラインの間スイッチ118はb接点に接続する。



【特許請求の範囲】

【請求項1】 訂正不能の誤りが誤り検出ブロックを越えて伝搬する符号化方式における復号化装置であって、符号化コードを復号する復号手段と、当該復号手段による復号値の代替値を算出する代替値算出手段と、訂正不能の誤りの発生を示すエラー信号に応じて、当該訂正不能の誤りの属する誤り検出ブロックに制限されない所定期間、当該復号値による復号値を当該代替値算出手段による代替値で置換する置換手段とからなることを特徴とする復号化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、予測差分符号化方式における復号化装置に関する。

【0002】

【従来の技術】 予測差分符号化方式（以下、DPCM方式と略す。）は、標本値と予測値（例えば、前値）との差分を符号化する方式であり、近接する標本値が互いに大きな相関を有する場合に特に有効で、少ない画質低下で1標本当たりの伝送ビット数を大幅に低減することができる。例えば、画像通信や画像記録などのデジタル伝送システム（記録再生システムを含む。）への利用が提案されている。

【0003】 図6は、最も一般的な前値予測DPCM符号化装置の構成ブロック図を示す。減算器12は、入力端子10の標本値 X_i （8ビット）から、8ビットの前値予測値 P_i （Dフリップフロップ20の出力）を減算し、量子化器14は、減算器12の出力（差分値）を量子化し、4ビットのDPCM符号化コード Y_i を出力する。誤り訂正符号化回路22は量子化器14の出力 Y_i に誤り訂正用パリティを付加して、出力端子24に出力する。

【0004】 また、逆量子化器16は量子化器14の出力（DPCM符号化コード Y_i ）を逆量子化し、差分量子化代表値（8ビット）を出力する。加算器18は逆量子化器16の出力に前値予測値 P_i を加算し、局部復号値をDフリップフロップ20に印加する。Dフリップフロップ20はこの局部復号値を1標本間隔分遅延し、前値予測値として減算器12及び加算器18に印加する。

【0005】 一般に、予測値 P_i と標本値 X_i との差分値の発生確率は、非常に小さい値に集中する。従って、差分値の小さい領域を細かく量子化し、差分値の大きな領域を粗く量子化することによって、情報量を圧縮できる。

【0006】 図7は、図6に示す符号化装置に対応する復号化装置の構成ブロック図を示す。入力端子26には出力端子24から出力され、伝送路を伝送したコード列が入力する。誤り検出訂正回路28は、伝送中に発生した誤りを検出訂正し、DPCM符号化コード Y_i を逆量子化器30に印加すると共に、誤りを訂正できない場

合、スイッチ38を制御するエラー・フラグを出力する。逆量子化器30はDPCM符号化コード Y_i を逆量子化して、差分代表値を出力し、加算器32は逆量子化器30の出力に前値復号値を加算する。加算器32の出力が復号値となる。加算器32の出力はDフリップフロップ34で1標本間隔だけ遅延され、前値復号値（予測値）として加算器32に帰還される。

【0007】 加算器32の出力は直接、スイッチ38の接点aに印加され、1ライン遅延器36を介してスイッチ38の接点bに印加される。一般に、DPCM符号化方式では、伝送路で誤りが発生すると、次に標本値そのものを量子化したPCM符号の復号値（リセット値）が得られるまで、誤りが後続の復号値に伝搬することが知られている。そこで、誤り検出訂正回路28で符号化コードに訂正不能な誤りが検出された場合には、当該訂正不能の誤り検出以後、エラー・フラグを立てる。当該エラー・フラグが立っている間、スイッチ38を接点b側に切り換えて、前ラインの復号値で代替、即ち修整する。スイッチ38の出力が、本装置の復号値として出力端子40から外部に出力される。

【0008】 図8は、図6に示すような符号化装置から伝送路に送出される伝送コードの伝送フォーマットの一例を示す。図8では、1同期ブロックは、復調時の同期用の同期コードSYNC（2シンボル）、1フィールド内の位置を示すID（3シンボル）、当該IDの誤り検出用パリティCRC（2シンボル）、DPCM符号化コード Y_i （96シンボル）、PCM符号化コードであるリセット値R（1シンボル）、並びに、DPCM符号化コード Y_i 及びリセット値Rに対する誤り検出訂正用パリティC1（3シンボル）からなる。

【0009】 1フィールド分の画像データに対する同期ブロックの他に、垂直方向の誤り検出訂正のために、2ライン分（合計4個）の同期ブロックを付加してある。この4個の同期ブロックでは、DPCM符号化コード Y_i 、リセット値R及びこれらに対する誤り検出訂正用パリティC1の代わりに、垂直方向の誤り検出訂正パリティC2が挿入されている。

【0010】 C1のシンボル数に対してデータ（符号化コード Y_i とリセット値R）のシンボル数が多いほど、冗長度は低くなるが訂正能力が下がるので、一般に、図8に示すように、1ラインの画像データを複数の同期ブロックに割り当てることが多い。

【0011】 予測DPCM符号化方式では、DPCM符号化コード内に訂正不能の誤りが発生すると、次のリセット値までその誤りが伝搬するという性質がある。

【0012】 これに対して、訂正不能の誤りによる誤差が時間と共に収束する性質を有する予測CPCM符号化方式が、提案されている。その符号化装置の基本構成ブロック図を図9に示す。入力端子50には、例えば8ビットの標本値 X_i が入力し、減算器52は標本値 X_i か

ら予測値P_iを減算する。減算器52により得られる差分値は、それぞれ異なる非線形量子化特性Q₁、Q₂、Q₃、Q₄を具備する4つの量子化器54、56、58、60に印加される。量子化器54~60は8ビットの差分値を4ビットに量子化し、その出力はスイッチ62に印加される。

【0013】切換え制御回路64は予測値P_iの例えば上位2ビットに応じてスイッチ62を切り換え、量子化器54~60の1つを選択する。例えば、予測値P_iをそのレベルに関して4つの区画（例えば、0~63、64~127、128~191、192~255）に区分すると、減算器52の出力（差分値）も、これに応じて、所定の4つの区画（上記区画例では、-63~255、-127~191、-191~127、-255~63）に区分される。量子化器54~60として減算器52の各出力区画の範囲に応じた非線形量子化特性を持たせればよく、4ビットでもより細かく量子化できるようになる。

【0014】予測値P_iが上記4区画のどこに属するかはP_iの上位2ビットにより知ることができるので、切換え制御回路64は、予測値P_iの上位2ビットによりスイッチ62を制御して、該当する量子化特性の量子化器54、56、58又は60の出力に接続させる。例えば、予測値P_iが64~127の範囲にある場合には、スイッチ62を量子化器56の出力に接続する。

【0015】スイッチ62により選択された4ビットの符号化コードY_iは、誤り訂正符号化回路66、及び、量子化器54、56、58、60の非線形量子化特性Q₁、Q₂、Q₃、Q₄に対応した逆特性R₁、R₂、R₃、R₄をそれぞれ具備する代表値設定回路68、70、72、74に印加される。誤り訂正符号化回路66は、符号化コードY_iに誤り訂正符号を付加して伝送路に送出する。各代表値設定回路68~74は、入力する符号化コードY_iに対する8ビットの代表値を出力し、スイッチ76が、切換え制御回路64の出力に従い代表値設定回路68~74の出力の1つを選択する。勿論、スイッチ62により選択された量子化器54、56、58又は60に対応する代表値設定回路68、70、72又は74の出力が正しい代表値になるので、スイッチ76をスイッチ62と同様に切換え制御回路64により制御する。

【0016】スイッチ76により選択された8ビットの代表値は加算器78に印加され、加算器78は、当該代表値に予測値P_iを加算し、局部復号値を出力する。予測器80は例えば1サンプル期間の時間遅延をもたらすDフリップフロップからなり、加算器78の出力を遅延して、予測値P_iとして減算器52及び加算器78に供給する。ここでは、予測値P_iは前値である。

【0017】同一の符号化コードに対して、量子化代表値は、量子化特性Q₁、Q₂、Q₃、Q₄の順に大きく

設定されている。画像レベルの絶対値が大きければ量子化器54（量子化特性Q₁）又は量子化器60（量子化特性Q₄）が選択され、画像レベルの絶対値が小さければ、量子化器56（量子化特性Q₂）又は量子化器58（量子化特性Q₃）が選択される。量子化特性Q₁、Q₄は、量子化特性Q₂、Q₃より粗く量子化されている。従って、訂正不能のエラー発生時に、量子化レベルが細かい方が誤差が小さくなるので、誤差がより速く収束する。また、画素値が大きい場合（例えば、8ビットで、255に近い値）、又は小さい場合（0に近い値）には、画素値が中間値（128に近い値）をとる場合に比べ、収束が速いという性質がある。

【0018】図9に示すような符号化方式を採用すると、訂正不能の誤りによる誤差が自律的に小さくなるので、リセット値Rを設けなくてもよくなる。リセット値Rの代わりにC₁のシンボル数を増せば、訂正能力を3検出1訂正から4検出2訂正に高めることが可能になる。

【0019】

【発明が解決しようとする課題】図9に示すような符号化装置に係る符号化方式では、訂正不能の誤りの大半は1同期ブロック内で収束するものの、初期値によっては次の同期ブロックに伝搬することがある。

【0020】他方、誤り検出訂正の単位は同期ブロックであり、訂正不能の誤りが後続の同期ブロックにまで伝搬すると、後続の同期ブロック内で、誤差の大きな復号値を十分に補間することができなかった。

【0021】本発明は、このような不都合の生じない復号化装置を提示することを目的とする。

【0022】

【課題を解決するための手段】本発明に係る復号化装置は、訂正不能の誤りが誤り検出ブロックを越えて伝搬する符号化方式における復号化装置であって、符号化コードを復号する復号手段と、当該復号手段による復号値の代替値を算出する代替値算出手段と、訂正不能の誤りの発生を示すエラー信号に応じて、当該訂正不能の誤りの属する誤り検出ブロックに制限されない所定期間、当該復号値による復号値を当該代替値算出手段による代替値で置換する置換手段とからなることを特徴とする。

【0023】

【作用】上記手段により、訂正不能の誤りが、当該訂正不能の誤りの属する誤り検出ブロックを越えて次の誤り検出ブロック以降に波及しても、波及している範囲で上記置換手段により代替値に置換できる。従って、訂正不能の誤りによる画質劣化を軽減できる。また、置換範囲を最小限に抑えることで、置換による画質劣化も軽減できる。

【0024】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0025】図1は、本発明の一実施例の構成ブロック図を示し、図2はそのタイミング・チャートを示す。入力端子110には、図9に示す符号化装置により符号化され、誤り訂正用パリティC1、C2を付加されて同期ブロック化されたデータD_{in}が入力する。例えば、フィールド画面の各ラインの最初の画像データがリセット値となり、ライン途中の画像データはリセット値にならない。

【0026】誤り訂正回路112は、1画面分の入力データD_{in}の内部メモリに一時記憶し、パリティC1による誤り訂正及びC2による誤り訂正を繰り返し実行し、訂正可能な誤りを訂正し終えた後、符号化データ112aをDPCM復号化回路114に出力し、誤った符号化データを含む同期ブロックに対してエラー・フラグ112bを出力する。誤り訂正回路112は通常、誤った符号化データ以後、当該誤った符号化データを含む同期ブロックの間、エラー・フラグ112bを立てるが、本実施例では、理解を容易にするため、当該誤った符号化データを含む同期ブロックに対してエラー・フラグ112bを出力するとした。

【0027】DPCM復号化回路114は、例えば、図9の回路64、68、70、72、74、76、78、80からなる局部復号回路と同様の回路構成からなり、符号化コード112aに対して予測値に応じた差分代表値を選択し、予測値を加算して復号値を出力する。DPCM復号化回路114の出力は、スイッチ118のa接点に供給されると共に、1H遅延回路116を介してスイッチ118のb接点に供給される。即ち、スイッチ118のa接点には現在の復号値が入力し、b接点には上ラインの対応位置の復号値が入力する。スイッチ118は、通常a接点に接続しており、スイッチ118の出力が出力端子120から外部に出力される。

【0028】本実施例では、1ラインから2個の同期ブロックを形成し、3番目の同期ブロックB3で訂正不能の誤りが発生し、それが次の同期ブロックB4に伝搬したとする。図2(1)は、DPCM復号回路114の出力、即ち復号値である。エラー・フラグ112bは、図2(3)に実線で示すように、同期ブロックB3に対応する期間で立ち、次の同期ブロックB4では立たない。

【0029】ID検出回路122は、入力データD_{in}から同期ブロックのIDを検出し、奇数番目の同期ブロックに対応する期間の開始を示すODDパルス122a(図2(4))と、リセット値の出現(この例では、ラインの先頭データ)を示すRESETパルス122b(図2(5))を出力する。RESETパルス122bはリセット値の出現の直前に出力されるので、タイミング的には、偶数番目の同期ブロックの終端に同期している。

【0030】エラー・フラグ112b及びODDパルス122aは、アンド回路124を介してRSフリップ

フロップ126のS端子に印加され、RESETパルス122bが当該RSフリップフロップ126のR端子に印加される。これにより、RSフリップフロップ126は、図2(6)に示すように、同期ブロックB3の始まりで立上がり、同期ブロックB4の終わりで立ち下がるパルスを出力する。

【0031】エラー・フラグ112b及びRSフリップフロップ126のQ出力は、オア回路128に印加される。オア回路128の出力を図2(7)に示す。オア回路128の出力がスイッチ118を制御する。即ち、オア回路128の出力がH(ハイ)のとき、スイッチ118はb接点に接続し、オア回路128の出力がL(ロー)のとき、スイッチ118はa接点に接続する。

【0032】これにより、出力端子120の出力データD_{out}は、図2(8)に示すようになり、訂正不能の誤りの発生した同期ブロックB3、及びこれの影響を受けた同期ブロックB4が、前ラインの同期ブロックB1と同B2により置換される。

【0033】以上をまとめると、奇数番目の同期ブロック(ラインの前半)で訂正不能の誤りが発生したときには、上記動作により、誤りのある同期ブロックとその次の同期ブロックを、直前ラインのデータで置換する。偶数番目の同期ブロック(ラインの後半)で訂正不能の誤りが発生したときには、RSフリップフロップ126がセットされないで、エラー・フラグ112bがオア回路128を通過して、そのままスイッチ118を制御する。即ち、誤りのある偶数番目の同期ブロックについて、直前ラインのデータで置換される。

【0034】図3は、図1を変更した実施例の構成ブロック図、図4及び図5はそのタイミング・チャートを示す。図9に示すような構成の符号化方式では、訂正不能の誤りによる誤差の大半は、1/2H以内に収束している。図3の実施例は、この点に着目し、補間を少なくしている。

【0035】図3では、誤り訂正回路130は、誤り訂正処理したDPCM符号化データ130a及びエラー・フラグ130bの他に、訂正不能の誤りのある同期ブロック内で訂正不能の誤りが前半か後半のどちらにあるかを示す位置パルス130cを出力する。即ち、誤り訂正回路130は、訂正不能の誤りが同期ブロック内の前半に位置するときには、図4(3)に示すように、訂正不能の誤りのある同期ブロックの始まりに同期して位置パルス130cを出力し、訂正不能の誤りが同期ブロック内の後半に位置するときには、図5(3)に示すように、位置パルス130cを出力しない。アンド回路132は、エラー・フラグ130b、位置パルス130c及びID検出回路122のODD信号122aの論理積をとり、その出力をRSフリップフロップ126のS端子に印加する。その他の回路要素は、図1と同じである。

【0036】図4は、同期ブロックB3の後半で訂正不

能の誤りが発生した場合であり、同(1)はDPCM復号化回路114の出力、同(2)は1H遅延回路116の出力、同(3)は位置パルス130c、同(4)はエラー・フラグ130b、同(5)はODDパルス122a、同(6)はRESETパルス122b、同(7)はRSフリップフロップ126の出力、同(8)はオア回路128の出力、同(9)は出力端子120の出力データDoutである。

【0037】同期ブロックB3の後半で訂正不能の誤りが発生しているので、誤り訂正回路130は、図4

(3)に示すように、同期ブロックB3に同期して位置パルス130cを出力する。位置パルス130c、エラー・フラグ130b及びODDパルス122aによりRSフリップフロップ126はセットされ、RESET信号122bによりリセットされる。これにより、RSフリップフロップ126は、図4(7)に示すように、同期ブロックB3の開始に同期して立上がり、同期ブロックB4の終端に同期して立ち下がるパルスを出力する。

【0038】RSフリップフロップ126の出力がオア回路128を通過してスイッチ118を制御し、同期ブロックB3、B4の間、スイッチ118をb接点に切り換える。これにより、図4(9)に示すように、同期ブロックB3、B4の部分が、直前ラインの同期ブロックB1、B2のデータで置換される。

【0039】図5は、同期ブロックB3の前半で訂正不能の誤りが発生した場合であり、同(1)はDPCM復号化回路114の出力、同(2)は1H遅延回路116の出力、同(3)は位置パルス130c、同(4)はエラー・フラグ130b、同(5)はODDパルス122a、同(6)はRESETパルス122b、同(7)はRSフリップフロップ126の出力、同(8)はオア回路128の出力、同(9)は出力端子120の出力データDoutである。

【0040】同期ブロックB3の前半で訂正不能の誤りが発生しているので、誤り訂正回路130は、図5

(3)に示すように、位置パルス130cを出力しない。従って、RSフリップフロップ126はセットされず、図5(7)に示すように、Q出力は低いままである。従って、図5(4)に示すエラー・フラグ112bがオア回路128を通過してスイッチ118を制御し、同期ブロックB3の間、スイッチ118をb接点に切り換える。これにより、図5(9)に示すように、同期ブロックB3の部分のみが、直前ラインの同期ブロックB1のデータで置換される。

【0041】予測値に応じて複数の量子化特性の1つを選択する符号化方式に適用した実施例を説明したが、本発明は、このような符号化方式に限定されない。即ち、

本発明は、同様な、誤差の収束特性を有する符号化方式にも適用できる。また、誤り訂正パリティC1、C2による誤り訂正に限定されず、その他の方式の誤り検出及び／又は訂正方式であってもよい。置換に用いる復号値は、前ラインのみならず、上下ラインの平均値などであってもよい。

【0042】

【発明の効果】以上の説明から容易に理解できるように、本発明によれば、訂正不能の誤りが発生しても、その補間を最小限の範囲にとどめるので、画質劣化を抑えることができる。

【図面の簡単な説明】

【図1】 本発明の一実施例の構成ブロック図である。

【図2】 図1の動作タイミング・チャートである。

【図3】 本発明の第2の実施例の構成ブロック図である。

【図4】 図3の動作タイミング・チャートである。

【図5】 図3の別の動作タイミング・チャートである。

【図6】 前値予測DPCM符号化装置の従来例の構成ブロック図である。

【図7】 図6に対する復号化装置の従来例の構成ブロック図である。

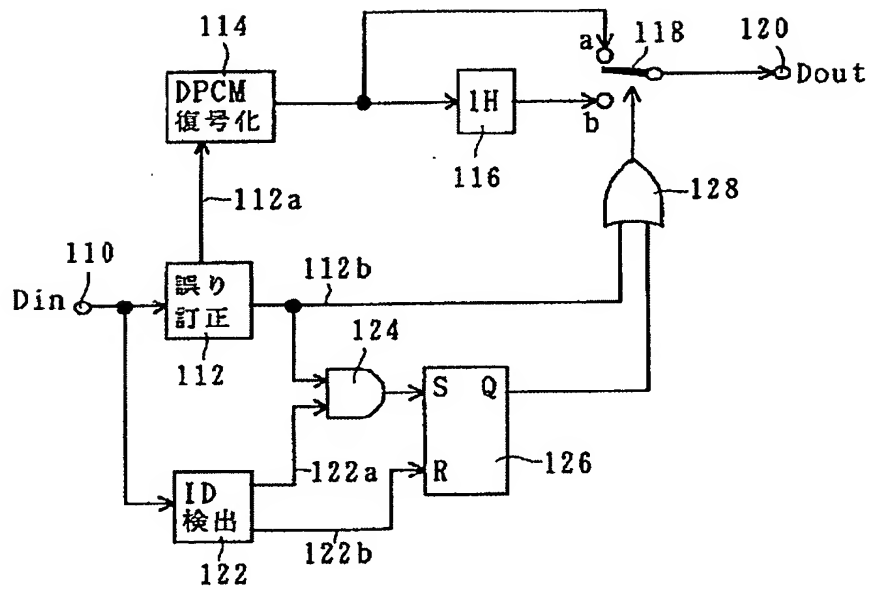
【図8】 伝送フォーマットの構成図である。

【図9】 復号値適応型DPCM符号化装置の従来例の構成ブロック図である。

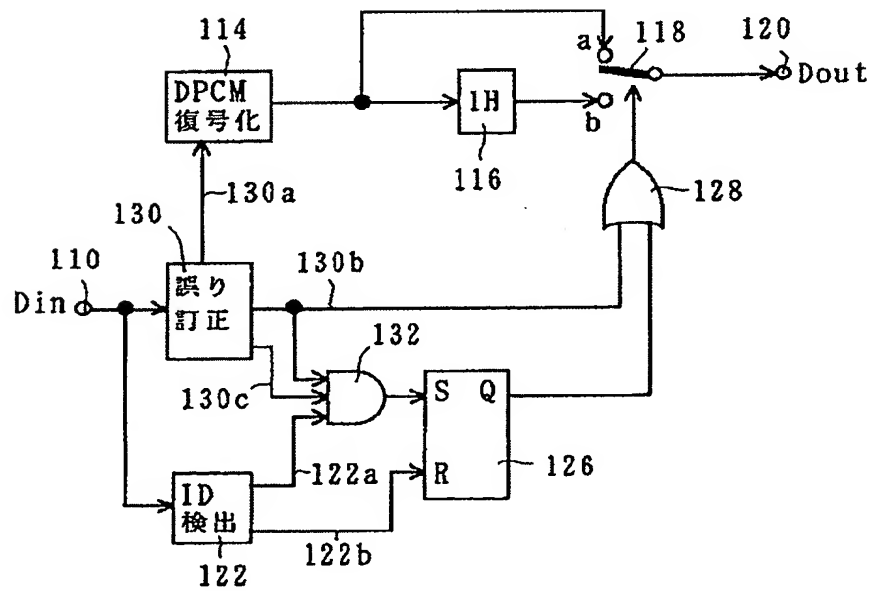
【符号の説明】

10：入力端子 12：減算器 14：量子化器 16：逆量子化器 18：加算器 20：Dフリップフロップ 22：誤り訂正符号化回路 24：出力端子 26：入力端子 28：誤り訂正回路 30：逆量子化器 32：加算器 34：Dフリップフロップ 36：1ライン遅延器 38：スイッチ 40：出力端子 50：入力端子 52：減算器 54、56、58、60：量子化器 62：スイッチ 64：切換え制御回路 66：誤り訂正符号化回路 68、70、72、74：代表値設定回路 76：スイッチ 78：加算器 80：予測器 110：入力端子 112：誤り訂正回路 112a：符号化コード 112b：エラー・フラグ 114：DPCM復号化回路 116：1H遅延回路 118：スイッチ 120：出力端子 122：ID検出回路 122a：ODDパルス 122b：RESETパルス 124：アンド回路 126：RSフリップフロップ 128：オア回路 130：誤り訂正回路 130a：符号化コード 130b：エラー・フラグ 130c：誤り位置パルス 132：アンド回路

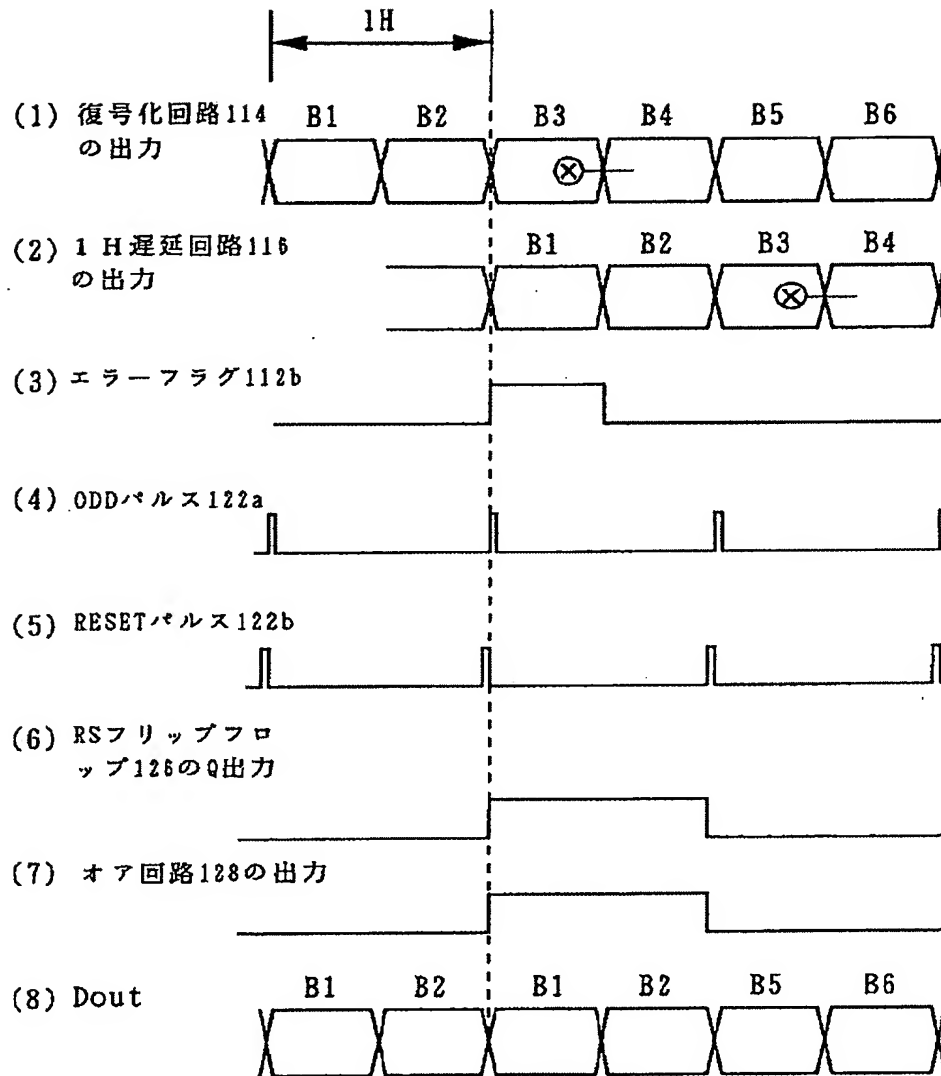
【図1】



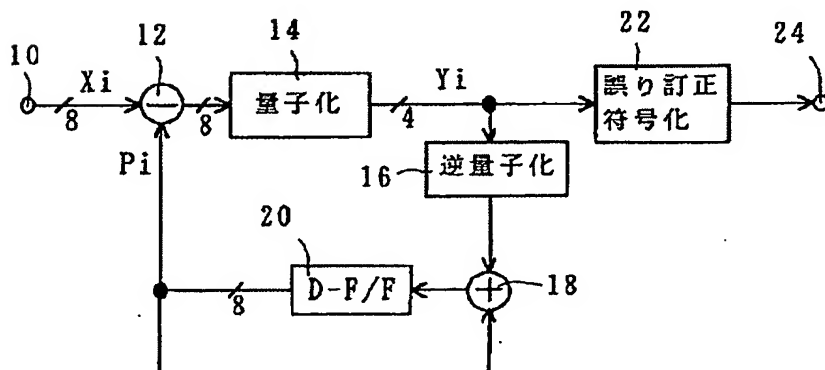
【図3】



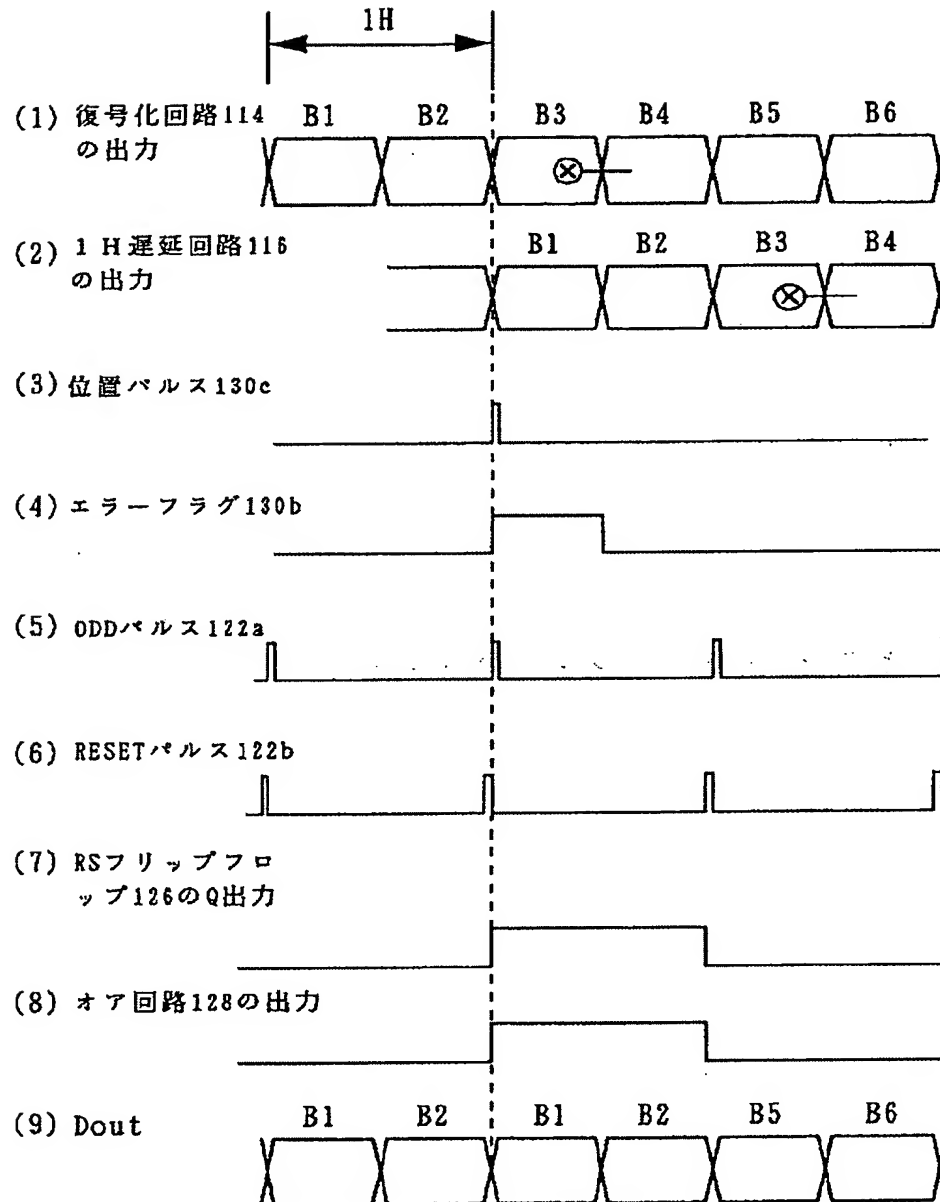
【図2】



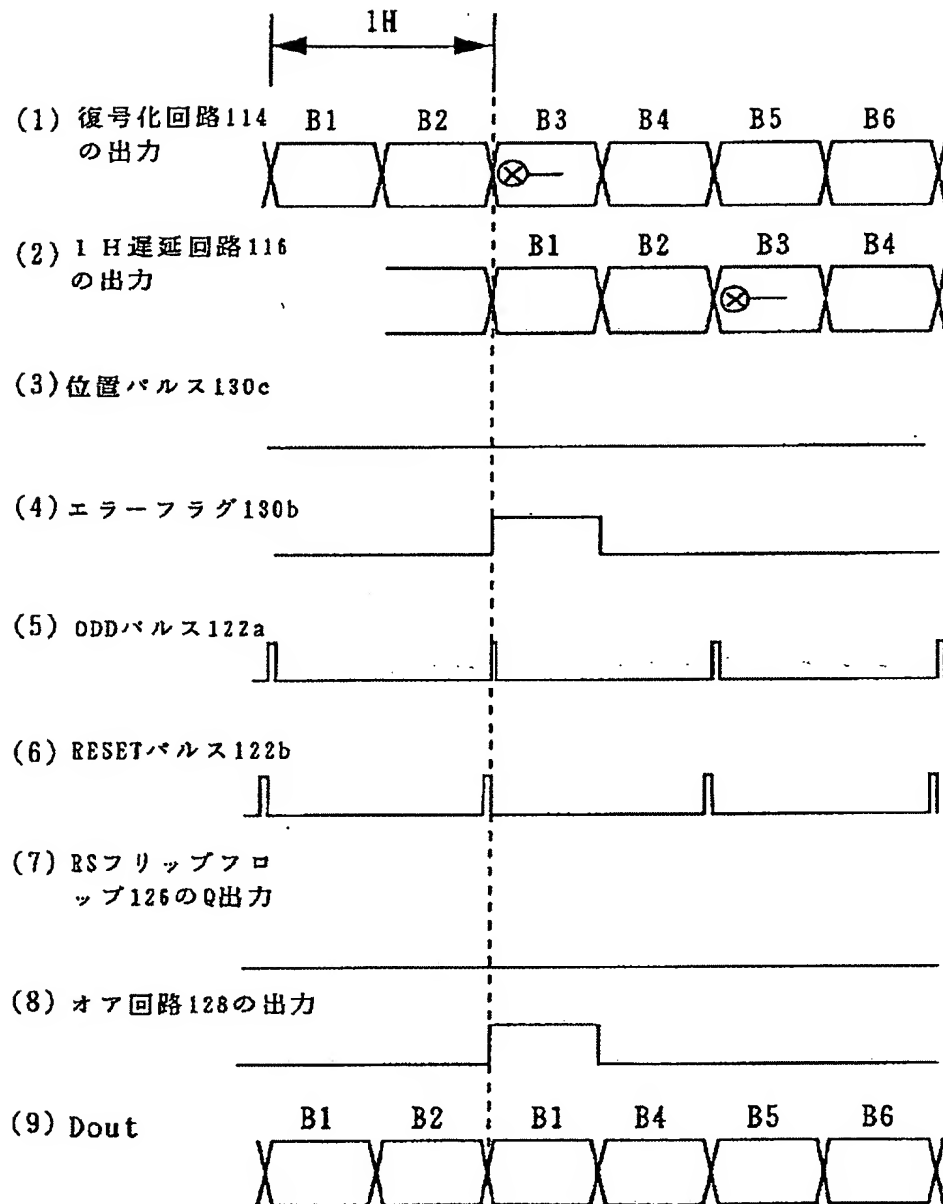
【図6】



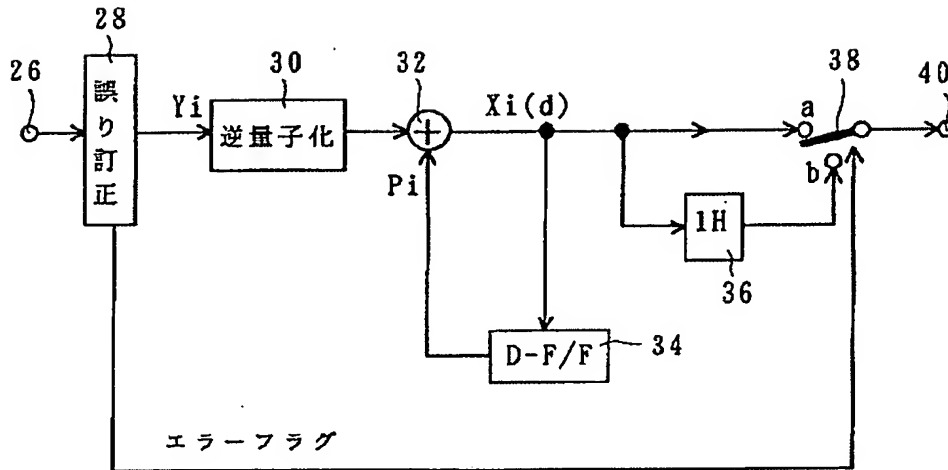
【図4】



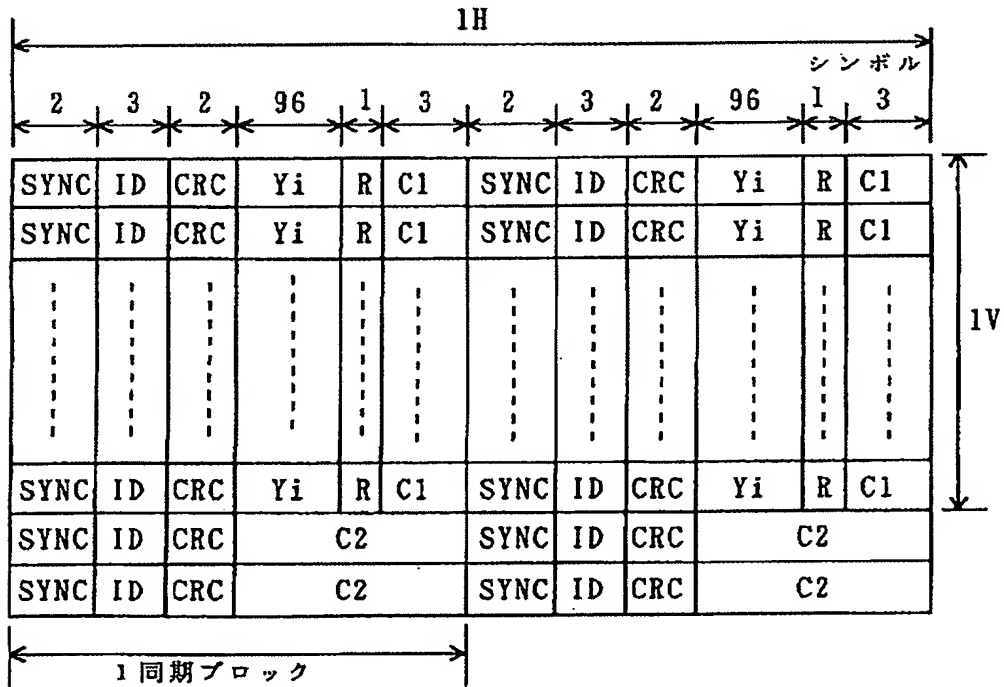
【図5】



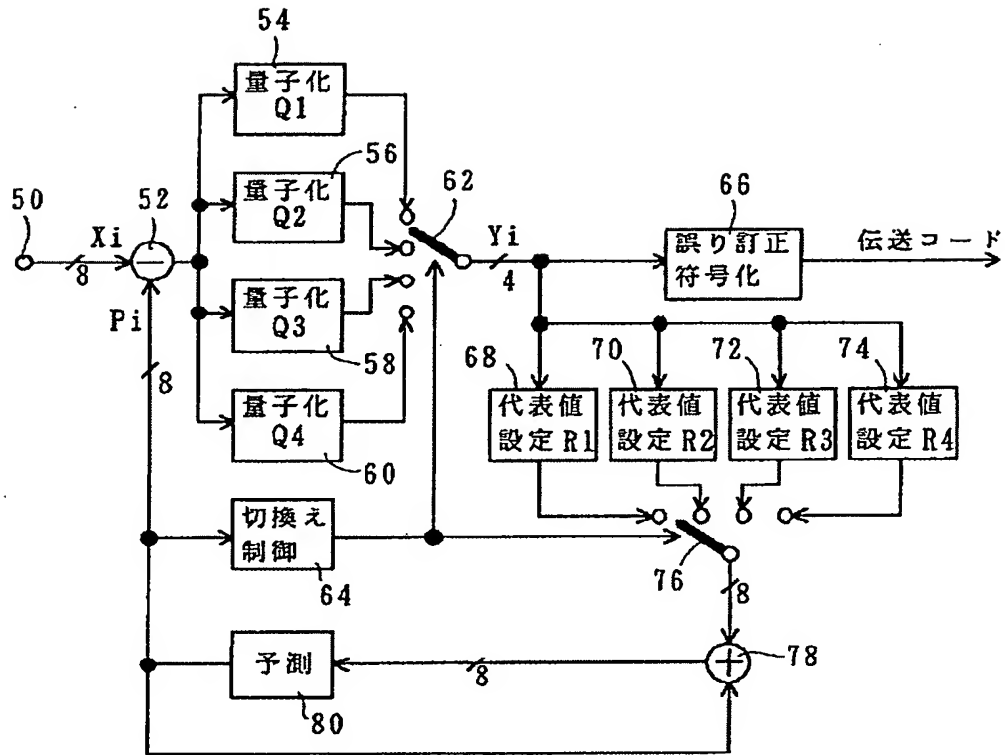
【圖 7】



【圖 8】



【図9】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-130420

(43)Date of publication of application : 25.05.1993

(51)Int.Cl.

H04N 1/41
G06F 15/66
H04N 7/137

(21)Application number : 03-291714

(71)Applicant : CANON INC

(22)Date of filing : 07.11.1991

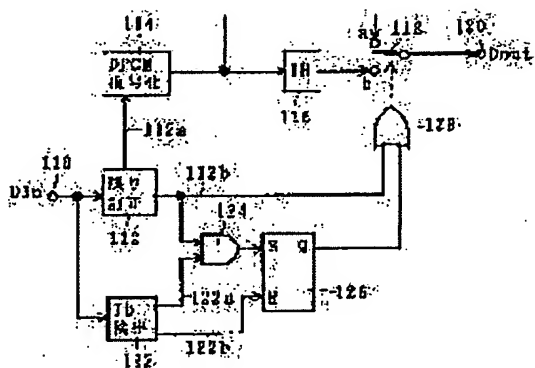
(72)Inventor : AOKI AKIO

(54) DECODER

(57)Abstract:

PURPOSE: To mask a correction disable error to the minimum.

CONSTITUTION: A DPCM coding code and an error correction code formed by sharing picture data of one line to two synchronizing blocks are inputted to an input terminal 110. An error correction circuit 112 outputs a DPCM coding code 112a subjected to error correction and outputs an error flag 112b to a synchronizing block to which the correction disable error belongs. A DPCM decoding circuit 114 decodes the DPCM coding code 112a. An ID detection circuit 122 outputs an ODD pulse 122a representing the start of the synchronizing block at the first half of the line and a RESET pulse 122b representing a tail end data location of the line. When the correction disable error is generated in the first half of the line, a switch 118 is thrown to the position of a contact (b) for a period of the line by the circuits 124, 126, 128.



PU020122 (JP5130420) ON 8510

- (19) Patent Agency of Japan (JP)
- (12) Official report on patent publication (A)
- (11) Publication number: 5-130420
- (43) Date of publication of application: 25.05.1993
- (51) Int.Cl. H04N 1/41 G06F 15/66 H04N 7/137
- (21) Application number: 3-291714
- (22) Date of filing: 07.11.1991
- (71) Applicant: Canon INC
- (72) Inventor: Aoki Akio
- (54) Title of the invention: Decoder
- (57)Abstract:

Purpose: To mask a correction disable error to the minimum.

Constitution: A DPCM coding code and an error correction code formed by sharing picture data of one line to two synchronizing blocks are inputted to an input terminal 110. An error correction circuit 112 outputs a DPCM coding code 112a subjected to error correction and outputs an error flag 112b to a synchronizing block to which the correction disable error belongs. A DPCM decoding circuit 114 decodes the DPCM coding code 112a. An ID detection circuit 122 outputs an ODD pulse 122a representing the start of the synchronizing block at the first half of the line and a RESET pulse 122b representing a tail end data location of the line.

When the correction disable error is generated in the first half of the line, a switch 118 is thrown to the position of a contact (b) for a period of the line by the circuits 124, 126, 128.

[Claim]

[Claim 1] A decoder characterized by that in a coding mode in which an error which cannot be corrected spreads exceeding an error detection block, including a decoding means that decodes a coding code, a default reading calculating means that computes a default reading of a decoded value by the decoding means concerned, a prescribed period which is not restricted to an error detection block with which concerned error which cannot be corrected belongs according to an error signal that shows generating of an error which cannot be corrected, a permutation means that replaces a decoded value by the decoded value concerned with a default reading by the default reading calculating means concerned.

[Detailed description of the invention]

[0001]

[Industrial application] This invention relates to the decoder in a prediction difference coding mode.

[0002]

[Description of the prior art] A prediction difference coding mode (it abbreviates to DPCM method next) is a method that codes the difference of a sample value and a predicted value (for example, front value).

Especially when the approaching sample value has big correlation mutually, it is effective, and the number of transmitted bits per specimen can be substantially reduced by little image quality degradation. For example, use to digital transmission systems (a recording and reproducing system is included), such as pictorial communication and image recording, is proposed.

[0003] Drawing 6 shows the configuration block drawing of the most common pre-value prediction DPCM coding equipment. From the sample value X_i (8 bits) of the input terminal 10, the pre-value prediction value P_i (output of D flip-flop 20) of 8 bits is subtracted, the quantizer 14 quantizes the output (difference value) of the subtractor 12 and the subtractor 12 outputs the 4-bit DPCM coding code Y_i . The error correcting coding circuit 22 adds the parity for error corrections to the output Y_i of the quantizer 14 and outputs it to the output terminal 24.

[0004] The inverse quantization device 16 carries out inverse quantization of the output (DPCM coding code Y_i) of the quantizer 14 and outputs a differential PCM central value (8 bits). The adder 18 adds the pre-value prediction value P_i to the output of the inverse quantization device 16 and impresses a local decoded value to D flip-flop 20. D flip-flop 20 is delayed by 1 specimen interval and impresses this local decoded value to the subtractor 12 and the adder 18 as a pre-value prediction value.

[0005] Generally, the probability of occurrence of the difference value of the predicted value P_i and the sample value X_i is concentrated on a very small value. Thus, the amount of information is compressible by quantizing finely the field where a difference value is small and quantizing coarsely the field where a difference value is big.

[0006] Drawing 7 shows the configuration block drawing of the decoder corresponding to the coding equipment shown on drawing 6. It is outputted to the input terminal 26 from the output terminal 24 and the code string that transmitted the transmission line inputs. When the error detection and correction circuit 28 carries out detection correction of the error generated during transmission, and impresses the DPCM coding code Y_i to the inverse quantization device 30 and an error cannot be corrected, it outputs the error flag that controls the switch 38. The inverse quantization device 30 carries out inverse quantization of the DPCM coding code Y_i , a difference central value is outputted, and the adder 32 adds a front value decoded value to the output of the inverse quantization device 30. The output of the adder 32 serves as a decoded value. Only 1 specimen interval is delayed by D flip-flop 34 and the output of the adder 32 returns to the adder 32 as a front value decoded value (predicted value).

[0007] Directly, the output of the adder 32 is impressed to the point of contact a of the switch 38 and is impressed to the point of contact b of the switch 38 by

the one-line delay device 36. Generally, if an error occurs in a transmission line, it is known for the DPCM coding mode that an error will spread to a following decoded value until the decoded value (reset value) of the PCM numerals that quantized the sample value itself next is acquired. So, when the error which cannot be corrected to a coding code is detected in the error detection and correction circuit 28, an error flag is set after the concerned error detection that cannot be corrected. While the error flag concerned stands, the switch 38 is switched to the point-of-contact b side, and it substitutes and retouches with the decoded value of a preceding line. The output of the switch 38 is outputted outside from the output terminal 40 as a decoded value of this device.

[0008] Drawing 8 shows an example of the transmission format of the transmission code sent out to a transmission line from coding equipment as shown on drawing 6. 1 synchronous blocks in drawing 8, synchronization code SYNC for the synchronization at the time of a recovery (2 symbols), parity CRC for error detection of ID (3 symbols) that shows the position in 1 field, and the ID concerned (2 symbols), it consists of reset value R (1 symbol) that is DPCM coding code Y_i (96 symbols) and a PCM coding code, the DPCM coding code Y_i , and the parity C1 (3 symbols) for error detection correction to reset value R.

[0009] The synchronous blocks for 2 lines (a total of 4 pieces) are added to everything, but the synchronous blocks to the image data for the 1 field for vertical error detection correction. In these 4 synchronous blocks, the vertical error detection correction parity C2 is inserted instead of the parity C1 for error detection correction to DPCM coding code Y_i and reset value R.

[0010] Since relative redundancy becomes low to the number of symbols of C1 so that there are many symbols of data (the coding code Y_i and reset value R), but correcting capability falls, as shown on drawing 8, generally the image data of one line is assigned to a plurality of synchronous blocks in many cases.

[0011] In a prediction DPCM coding mode, when the error which cannot be corrected occurs in a DPCM coding code, there is character in which the error spreads to the following reset value.

[0012] On the other hand, the prediction CPCM coding mode that has the character which the error by the error which cannot be corrected converges with time is proposed. The basic constitution block diagram of the coding equipment is shown on drawing 9. The sample value X_i of 8 bits inputs into the input terminal 50, for example, and the subtractor 52 subtracts the predicted value P_i from the sample value X_i . The difference value acquired by the subtractor 52 is impressed to the four quantizers 54, 56, 58, 60 possessing the nonlinear quantization characteristic Q_1 , Q_2 , Q_3 , Q_4 different, respectively.

The quantizers 54-60 quantize the difference value of 8 bits to 4 bits, and the output is impressed to the switch 62.

[0013] The switching control circuit 64 switches the switch 62 according to top 2 bits of the predicted value P_i , and chooses one of the quantizers 54-60. For example, if the predicted value P_i is classified into four divisions (for example, 0-63, 64-127, 128-191, 192-255) about the level, the output (difference value) of the subtractor 52 is also classified into four predetermined divisions (the mentioned above example of a division - 63-255, -127-191, -191-127, -255-63) according to this. What is necessary is just coming to give the nonlinear quantization characteristic according to the range of each output division of the subtractor 52 as the quantizers 54-60, and at least 4 bits can quantize now more finely.

[0014] Since it can know where the predicted value of the four the mentioned above division P_i belongs by top 2 bits of P_i , the switching control circuit 64 controls the switch 62 by top 2 bits of the predicted value P_i and is made to connect it to the applicable quantizers 54, 56, 58 of the quantization characteristic or output of 60. For example, the switch 62 is connected to the output of the quantizer 56 when the predicted value P_i is in the range of 64-127.

[0015] The 4-bit coding code Y_i selected with the switch 62, it is impressed by the central value setting circuits 68, 70, 72, 74 that possess the inverse

characteristic R1, R2, R3, R4 corresponding to the error correcting coding circuit 66 and the nonlinear quantization characteristic Q1, Q2, Q3, Q4 of the quantizers 54, 56, 58, 60, respectively. The error correcting coding circuit 66 adds an error correcting code to the coding code Y_i , and sends it out to a transmission line. Each central value setting circuits 68-74 output the central value of 8 bits over the coding code Y_i to input, and the switch 76 chooses one of the outputs of the central value setting circuits 68-74 according to the output of the switching control circuit 64. Of course, since the central value setting circuits 68, 70, 72 corresponding to the quantizer 54, 56, 58 or 60 selected with the switch 62 or the output of 74 becomes a right central value, the switch 76 is controlled by the switching control circuit 64 like the switch 62.

[0016] The central value of 8 bits selected with the switch 76 is impressed to the adder 78, and the adder 78 adds the predicted value P_i to the central value concerned, and outputs a local decoded value. The prediction device 80 consists of a D flip-flop which brings about the time delay of for example, 1 sample periods, is delayed and supplies the output of the adder 78 to the subtractor 52 and the adder 78 as the predicted value P_i . Here, the predicted value P_i is a front value.

[0017] The quantized representative value is greatly set up in order of the quantization characteristic Q1, Q2, Q3, Q4 to the same coding code.

If the absolute value of image levels is large, the quantizer 54 (quantization characteristic Q1) or the quantizer 60 (quantization characteristic Q4) will be chosen, and if the absolute value of image levels is small, the quantizer 56 (quantization characteristic Q2) or the quantizer 58 (quantization characteristic Q3) will be chosen. The quantization characteristic Q1 and Q4 are quantized more coarsely than the quantization characteristic Q2 and Q3. Thus, since an error becomes small at the time of the error generation which cannot be corrected in the one where a quantization level is finer, it is more quickly completed by the error. When a pixel value is large (for example, 8 bits, value near 255) or in being small (value near 0), there is character in which convergence is quick, compared with the case where a pixel value takes a mean value (value near 128).

[0018] Since the error by the error which cannot be corrected will become small autonomously if a coding mode as shown on drawing 9 is adopted, it becomes unnecessary to provide reset value R. If the number of symbols of C1 is increased instead of reset value R, it will become possible to raise correcting capability to 4 detection 2 correction from 3 detection 1 correction.

[0019]

[Problems to be solved by the invention] In the coding mode according to coding equipment as shown on drawing 9, most errors that cannot be corrected may be spread to the following synchronous blocks depending

on an initial value, although it converges within 1 synchronous blocks.

[0020] On the other hand, the units of error detection correction were synchronous blocks and when the error which cannot be corrected spread even to following synchronous blocks, they were not fully able to interpolate a big decoded value with error within following synchronous blocks.

[0021] An object of this invention is to show such an inconvenient decoder that is not produced.

[0022]

[Means for solving the problem] A decoder of this invention includes a decoding means that is a decoder in a coding mode in which an error which cannot be corrected spreads exceeding an error detection block and decodes a coding code, a default reading calculating means that computes a default reading of a decoded value by the decoding means concerned, a prescribed period which is not restricted to an error detection block with which an concerned error that cannot be corrected belongs according to an error signal that shows generating of an error which cannot be corrected, a permutation means that replaces a decoded value by the decoded value concerned with a default reading by the default reading calculating means concerned.

[0023]

[Function] Even if the error that cannot be corrected spreads by the mentioned above means exceeding the error detection block with which the concerned error that cannot be corrected belongs after the following error detection block, the mentioned above permutation means can replace with a default reading in the range which has spread. Thus, the image quality deterioration by the error that cannot be corrected is reduced. The image quality deterioration by substitution is also reduced by suppressing the substitution range to the minimum.

[0024]

[Example] Next, the example of this invention is described with reference to drawings.

[0025] Drawing 1 shows the configuration block drawing of one example of this invention, and drawing 2 shows the timing chart. It is coded by the input terminal 110 with the coding equipment shown on drawing 9, and the parity C1, C2 for error corrections and the data Din which was added and was synchronous blocks input into it. For example, the image data of the beginning of each line of a field screen serves as a reset value and the image data in the middle of a line does not become a reset value.

[0026] The error correction circuit 112 is stored temporarily at the internal memory of the input data Din for one screen, after carrying out repeat execution of the error correction by the parity C1, and the error

correction depended C2 and finishing correcting the error which can be corrected, the error flag 112b is outputted to the synchronous blocks which output the coding data 112a to the DPCM decoding circuit 114 and contain mistaken coding data. Although the error correction circuit 112 usually sets the error flag 112b between the synchronous blocks including the mistaken coding data concerned after mistaken coding data, in this example, in order to understand easily, it was presupposed that the error flag 112b is outputted to the synchronous blocks including the mistaken coding data concerned.

[0027] The DPCM decoding circuit 114 consists of the same circuitry as the local decoder circuit that consists of the circuits 64, 68, 70, 72, 74, 76, 78, 80 of drawing 9, for example, chooses the difference central value according to a predicted value to the coding code 112a, adds a predicted value and outputs a decoded value. The output of the DPCM decoding circuit 114 is supplied to the a-contact of the switch 118, and it is supplied to the b contact of the switch 118 via the 1H delay circuit 116. That is, the present decoded value inputs into the a-contact of the switch 118, and the decoded value of the correspondence position of an upper line inputs into a b contact. The switch 118 is usually connected to an a-contact. The output of the switch 118 is outputted outside from the output terminal 120.

[0028] In this example, two synchronous blocks are formed from one line, and the error that cannot be corrected occurs in the 3rd synchronous blocks B3, and suppose that it spread to following synchronous blocks B4. Drawing 2 (1) is the output of the DPCM decoder circuit 114, namely, a decoded value. As a solid line shows on drawing 2 (3), the error flag 112b stands in the period corresponding to the synchronous blocks B3, and does not stand in following synchronous blocks B4.

[0029] The ODD pulse 122a (drawing 2 (4)) which the ID detection circuit 122 detects ID of synchronous blocks from the input data Din, and shows the start of the period corresponding to the odd-numbered synchronous blocks, the RESET pulse 122b (drawing 2 (5)) which shows the appearance (this example initial data of a line) of a reset value is outputted. Since the RESET pulse 122b is outputted just before the appearance of a reset value, it synchronizes with the termination of the even-numbered synchronous blocks in timing.

[0030] The error flag 112b and the ODD pulse 122a are impressed to the switch terminal of RS flip flop 126 by AND circuit 124 and the RESET pulse 122b is impressed to R terminal of RS flip flop 126 concerned. Thus, as shown on drawing 2 (6), RS flip flop 126 rises by the beginning of the synchronous blocks B3, and outputs the pulse which falls in the end of synchronous blocks B4.

[0031] Q output of the error flag 112b and RS flip flop 126 is impressed to OR circuit 128. The output of OR circuit 128 is shown on drawing 2 (7). The output of OR circuit 128 controls the switch 118. That is, when the output of OR circuit 128 is H (high), the switch 118 is connected to a b contact, and the switch 118 is connected to an a-contact when the output of OR circuit 128 is L (low).

[0032] Thus, output data Dout of the output terminal 120 shown on drawing 2 (8), and the synchronous blocks B3 in which the error that cannot be corrected generated, and synchronous blocks B4 influenced by this are replaced by the synchronous blocks B1 and the B2 of a preceding line.

[0033] When the above was summarized and the error which cannot be corrected occurs in the odd-numbered synchronous blocks (the first half of a line), the mentioned above operation replaces synchronous blocks with an error, and its following synchronous blocks by the data of a direct preceding line. Since RS flip flop 126 is not set when the error which cannot be corrected occurs in the even-numbered synchronous blocks (the second half of a line), the error flag 112b passes OR circuit 128, and controls the switch 118 as it is. That is, the even-numbered synchronous blocks with an error are replaced by the data of a direct preceding line.

[0034] The configuration block drawing of an example where drawing 3 changed drawing 1, drawing 4 and drawing 5 show the timing chart. In the coding mode of composition as shown on drawing 9, most errors by the error which cannot be corrected are converged on less than $1/2H$. The example of drawing 3 is interpolating few paying attention to this point.

[0035] In drawing 3, the error correction circuit 130 outputs the position pulses 130c which show which shall have an error within synchronous blocks with the error which cannot be corrected other than the DPCM coding data 130a that carried out error correction processing and the error flag 130b which cannot be corrected between the first half or the second half, namely, when the error that cannot be corrected is located at the first half in synchronous blocks, the error correction circuit 130. As shown on drawing 4 (3), when the position pulses 130c are outputted synchronizing with the beginning of synchronous blocks with the error that cannot be corrected and the error which cannot be corrected is located the second half in synchronous blocks, as shown on drawing 5 (3), the position pulses 130c are not outputted. AND circuit 132 takes the logical product of the ODD signal 122a of the error flag 130b, the position pulses 130c and the ID detection circuit 122 and impresses the output to the switch terminal of RS flip flop 126. Other circuit elements are the same as on drawing 1.

[0036] Drawing 4 is a case where the error which cannot be corrected occurs in the second half of the synchronous blocks B3. (1) The output of the DPCM decoding circuit 114, (2) the output of the 1H delay circuit 116, (3) the position pulse 130c, (4) the error flag 130b, (5) the ODD pulse 122a, (6) the RESET pulse 122b, (7) the output of RS flip flop 126, (8) the output of OR circuit 128, (9) the output data Dout of the output terminal 120.

[0037] Since the error which cannot be corrected has occurred in the second half of the synchronous blocks B3, the error correction circuit 130 outputs the position pulses 130c synchronizing with the synchronous blocks B3, as shown on drawing 4 (3). RS flip flop 126 is set by the position pulses 130c, the error flag 130b and the ODD pulse 122a, and it is reset by RESET signal 122b. Thus, as shown on drawing 4 (7), RS flip flop 126 rises synchronizing with the start of the synchronous blocks B3 and outputs the pulse which falls synchronizing with the termination of synchronous blocks B4.

[0038] The output of RS flip flop 126 passes OR circuit 128, controls the switch 118, and switches the switch 118 to a b contact between the synchronous blocks B3 and B4. Thus, as shown on drawing 4 (9), the portions of the synchronous blocks B3, B4 are replaced by the synchronous blocks B1 of a direct preceding line and the data of B2.

[0039] Drawing 5 is a case where the error which cannot be corrected occurs in the first half of the synchronous blocks B3. (1) The output of the DPCM decoding circuit 114, (2) the output of the 1H delay circuit 116, (3) the position pulse 130c, (4) the error flag 130b, (5) the ODD pulse 122a, (6) the RESET pulse 122b, (7) the output of RS flip flop 126, (8) the output of OR circuit 128, (9) the output data Dout of the output terminal 120.

[0040] Since the error which cannot be corrected has occurred in the first half of the synchronous blocks B3, the error correction circuit 130 does not output the position pulses 130c, as shown on drawing 5 (3). Thus, as RS flip flop 126 is not set but it is shown on drawing 5 (7), Q output is still low. Thus, the error flag 112b shown on drawing 5 (4) passes OR circuit 128, controls the switch 118, and switches the switch 118 to a b contact between the synchronous blocks B3. Thus, as shown on drawing 5 (9), only the portion of the synchronous blocks B3 is replaced by the data of the synchronous blocks B1 of a direct preceding line.

[0041] Although the example applied to the coding mode that chooses one of a plurality of the quantization characteristics according to a predicted value was described, this invention is not limited to such a coding mode. That is, this invention is applicable also to the coding mode that has the same convergence characteristic with error.

It may not be limited to the error correction parity C1 and the error correction by C2, but they may be the other error detection and/or correcting systems of a method. The decoded value used for substitution may be average value of not only a preceding line but an up-and-down line, etc.

[0042]

[Effect of the invention] Even if the error which cannot be corrected occurs, by this invention, the interpolation is limited to the minimum range that is clear from the above explanation. Thus, image quality deterioration can be suppressed.

[Brief description of the drawings]

[Drawing 1] is a configuration block drawing of one example of this invention.

[Drawing 2] is an operation timing chart of drawing 1.

[Drawing 3] is a configuration block drawing of the 2nd example of this invention.

[Drawing 4] is an operation timing chart of drawing 3.

[Drawing 5] is another operation timing chart of drawing 3.

[Drawing 6] is a configuration block drawing of the conventional example of pre-value prediction DPCM coding equipment.

[Drawing 7] is a configuration block drawing of the conventional example of the decoder of drawing 6.

[Drawing 8] is a line-block diagram of a transmission format.

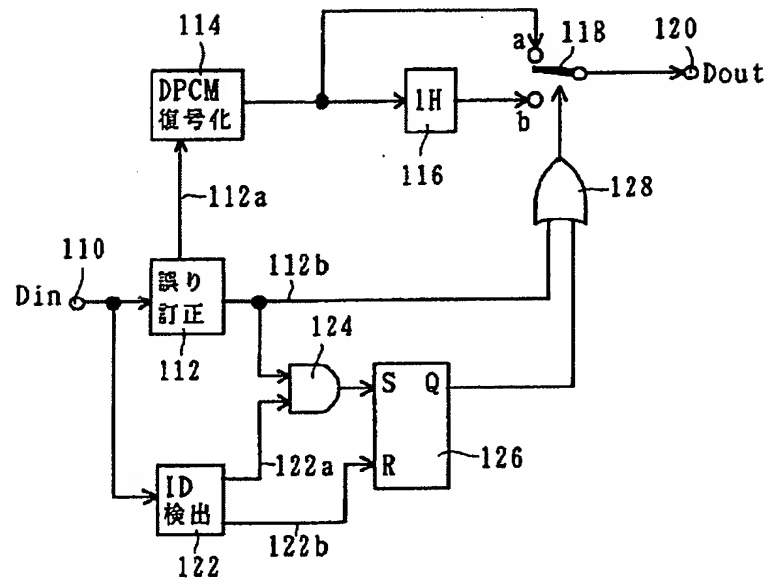


[Drawing 9] is a configuration block drawing of the conventional example of decoded value adaptive DPCM coding equipment.

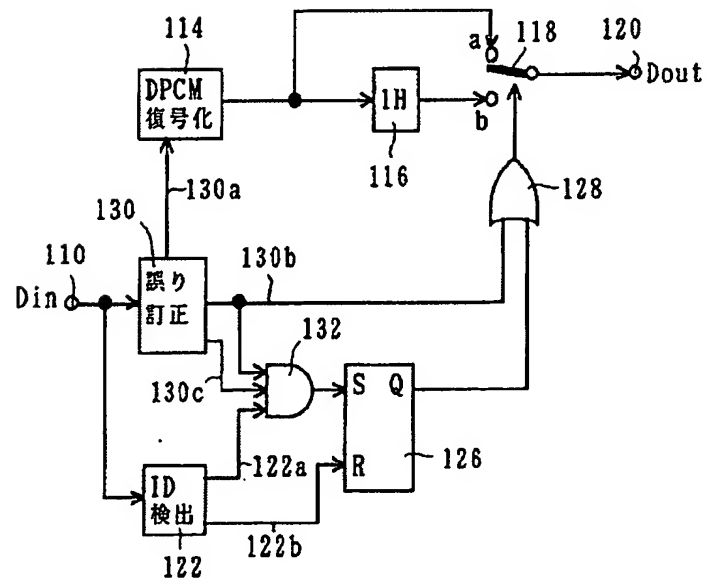
[Description of numerals]

10: Input terminal 12: subtractor, 14: quantizer,
16: inverse quantization device, 18: adder,
20: D flip-flop, 22: error correcting coding circuit,
24: output terminal, 26: input terminal,
28: error correction circuit,
30: inverse quantization device, 32: adder,
34: D flip-flop, 36: 1-line delay device,
38: switch, 40: output terminal, 50: input terminal,
52: subtractor, 54, 56, 58, 60: quantizer, 62: switch,
64: switching control circuit,
66: error correcting coding circuit,
68, 70, 72, 74: central value setting circuit,
76: switch, 78: adder, 80: prediction device
110: Input terminal, 112: error correction circuit,
112a: coding code 112b: error flag,
114: DPCM decoding circuit, 116: 1H delay circuit,
118: switch, 120: output terminal,
122: ID detection circuit, 122a: ODD pulse,
122 b: RESET pulse, 124: AND circuit,
126: RS flip flop, 128: OR circuit,
130: Error correction circuit,
130a: Coding code, 130b: Error flag,
130c: Error position pulse,
132: AND circuit

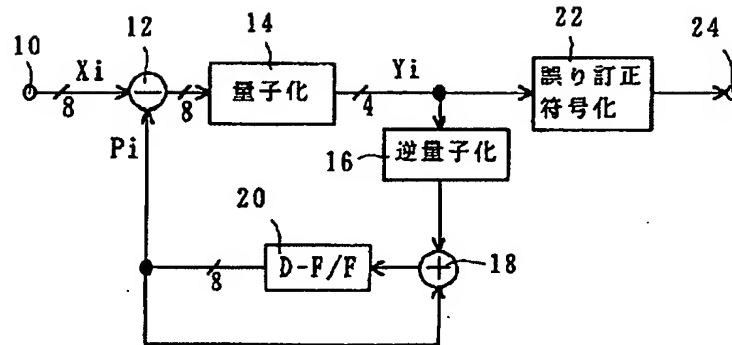
Drawing 1



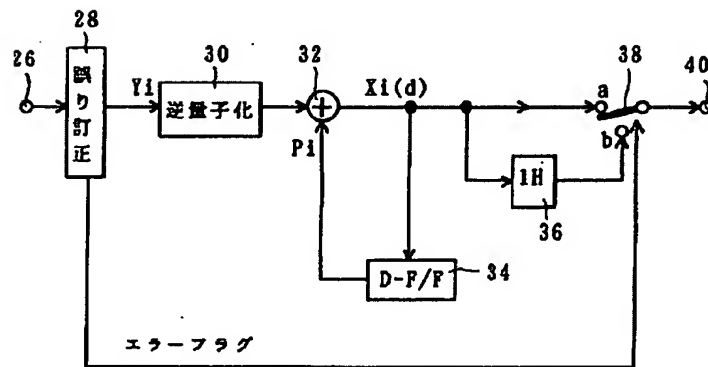
Drawing 3



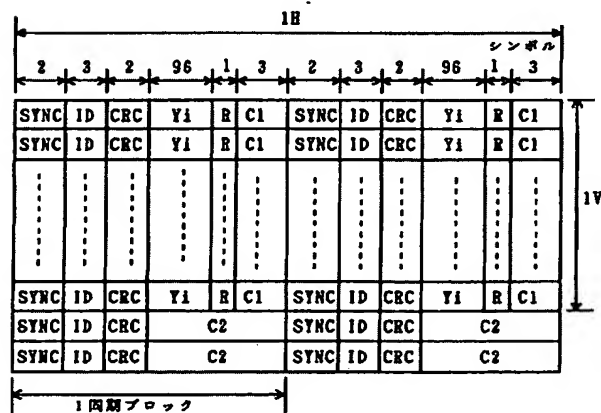
Drawing 6



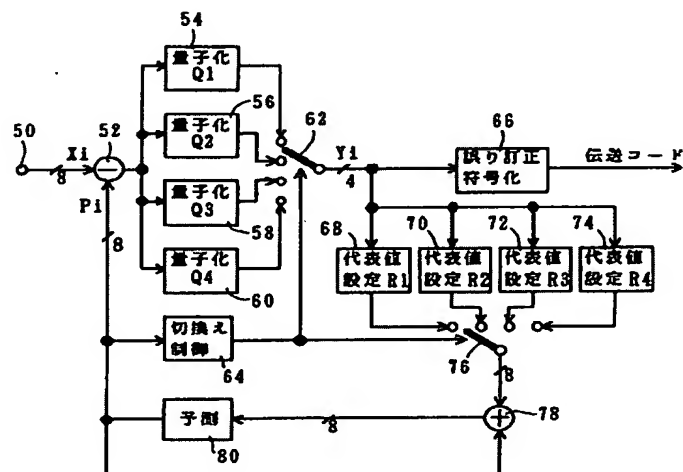
Drawing 7



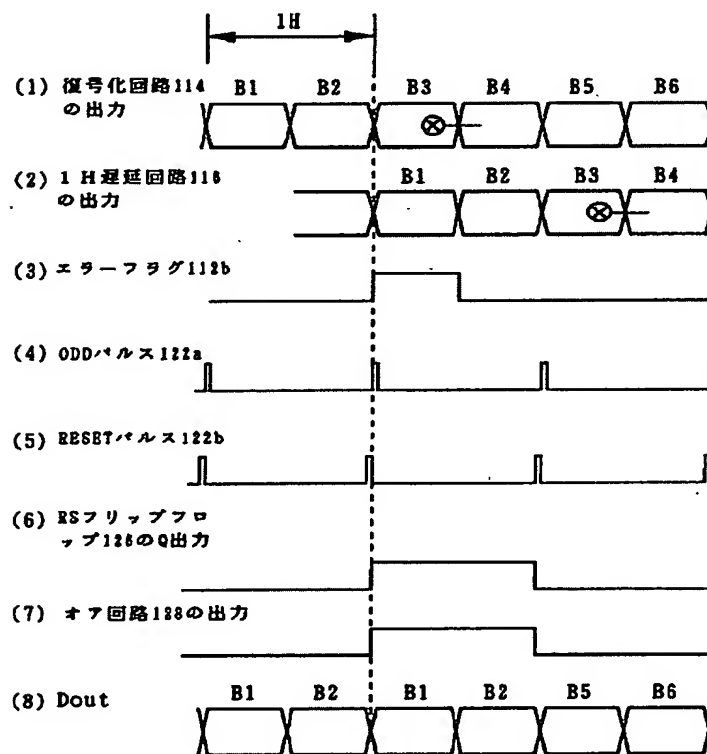
Drawing 8



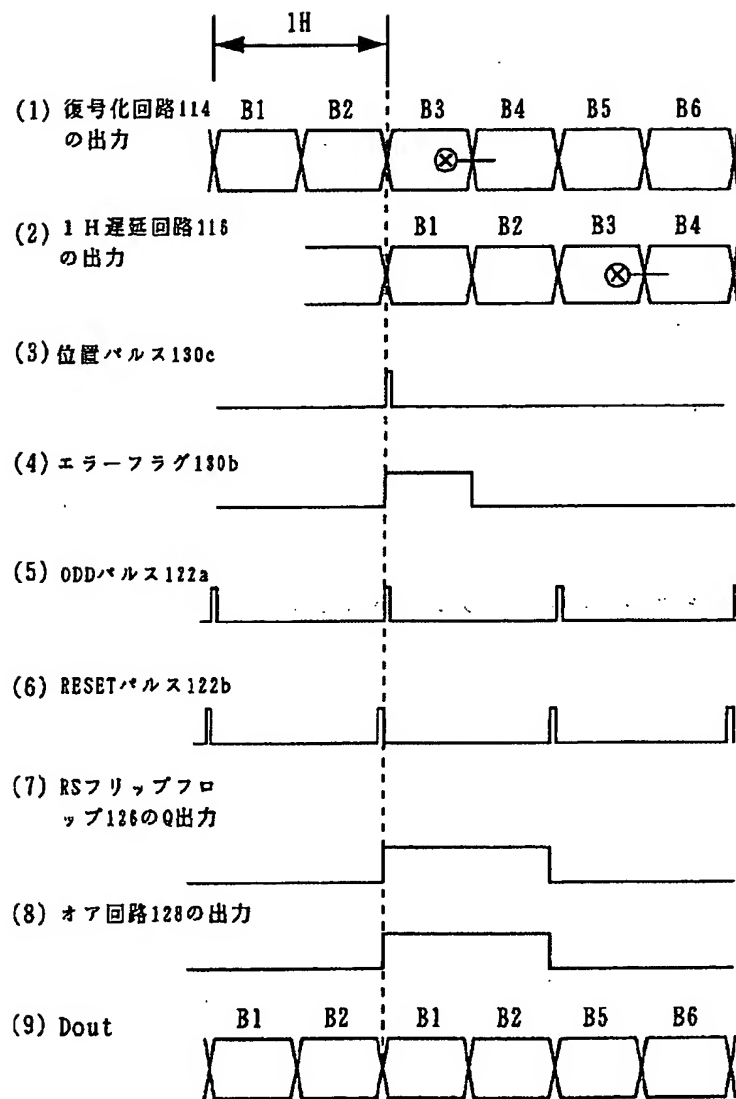
Drawing 9



Drawing 2



Drawing 4



Drawing 5

